

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 58-165347

(43)Date of publication of application : 30.09.1983

(51)Int.Cl.

H01L 21/88

H01L 21/82

H01L 27/04

(21)Application number : 57-048551

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 26.03.1982

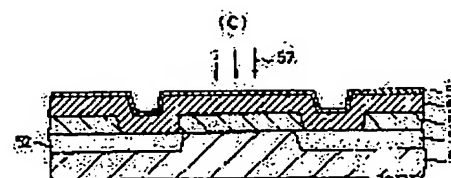
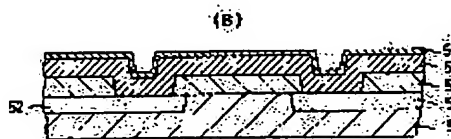
(72)Inventor : NAKASE MAKOTO

## (54) MANUFACTURE OF SEMICONDUCTOR DEVICE

### (57)Abstract:

**PURPOSE:** To melt down a metal layer by low power laser lights by a method wherein a metallic layer is formed making a part of its surface black colored with high light absorption factor so that a wiring of integrated circuit may be cut down as necessary.

**CONSTITUTION:** The impurity regions 52, 53 as wiring with high concentration are separately formed on the internal surface of a semiconductor substrate 51. Firstly, for example, Mo layer 56 is evaporated to make a part of the surface of Al layer 55 black colored. Secondly the surface of the layer 56 is etched to make the processed metallic surface black colored remarkably deteriorating the reflecting power of any incoming laser lights. Thirdly a wiring with region to be cut down and a passivation film is formed. Then laser lights 57 are irradiated to melt down the laminated structure of layers 56 and 55.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑫ 公開特許公報 (A)

昭58—165347

⑤ Int. Cl.<sup>3</sup>  
H 01 L 21/88  
21/82  
27/04

識別記号

庁内整理番号  
6810—5F  
6655—5F  
8122—5F

⑬ 公開 昭和58年(1983)9月30日

発明の数 1  
審査請求 未請求

(全 4 頁)

⑭ 半導体装置の製造方法

川崎市幸区堀川町72番地東京芝  
浦電気株式会社堀川町工場内

⑮ 特 願 昭57—48551

⑯ 出 願 昭57(1982)3月26日

⑰ 発 明 者 中瀬真

⑱ 出 願 人 東京芝浦電気株式会社

川崎市幸区堀川町72番地

⑲ 代 理 人 弁理士 鈴江武彦 外2名

明 細 書

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

(1) 配線の一部に断線可能領域を形成するに  
際し、前記配線に電気的に接続された少なくと  
も表面の一部が黒色の金属層を形成する工程を  
具備してなることを特徴とする半導体装置の製  
造方法。

(2) 前記金属層はアルミニウム層上にモリブ  
デン層を形成した積層構造である特許請求の範  
囲第1項記載の半導体装置の製造方法。

(3) 前記金属層はその表面に柱状結晶を持つ  
金属膜を被着し、この柱状結晶金属膜の表面を  
エッチングしたものである特許請求の範囲第1  
項記載の半導体装置の製造方法。

(4) 前記柱状結晶金属膜の被着は基板を加熱  
して行うことを特徴とする特許請求の範囲第3  
項記載の半導体装置の製造方法。

(5) 前記金属層はモリブデンシリサイド層で

ある特許請求の範囲第1項記載の半導体装置の  
製造方法。

(6) 前記金属層の断線はレーザー光または電子  
線を照射することを特徴とする特許請求の範囲  
第1項記載の半導体装置の製造方法。

(7) 前記金属層は不良時に冗長回路を作動さ  
せる回路の製造に用いることを特徴とする特許  
請求の範囲第1項記載の半導体装置の製造方法。

3. 発明の詳細な説明

(発明の技術分野)

本発明は半導体装置の製造方法に係り、特に  
集積回路の配線を部分的に断線状態にする手段  
に適用して好適な製造方法に関する。

(発明の技術的背景とその問題点)

超 LSI、たとえば半導体メモリの高密度化、  
大規模化に伴い、そのメモリ容量も64 Kビ  
ットあるいは256 Kビットとなり、必然的に  
歩留りが悪くなる。特に、1ビットの不良事故  
でも素子として不良となり、歩留りを著しく  
悪くしている。このような部分的不良を数値す

る手段として、冗長 (Redundancy) 回路を組み込んで歩留りを向上させる手段は公知である。

このような冗長回路は、たとえば第1図乃至第3図のように構成されている。すなわち、第1図は冗長ビット付き半導体メモリの回路構成図を示すもので、縦横に走るワード線、ビット線の各交点に多数のメモリセルを接続したメモリセル群1を設け、このメモリセル群1にそのワード線選択用のデコード2を接続するとともに、ビット線選択用のデコード3を接続し、これらデコード2, 3にそれぞれアドレス信号を供給して所望するメモリセルを選択する構成になっている。このような回路構成に不良確率の比較的多い箇所、たとえばメモリセル群1およびデコード2, 3に冗長回路4, 5をそれぞれ接続し、不良箇所がある素子について断線工程を経て対策するものである。すなわち、ワード線選択用デコード2にアドレス信号 $A_0, A_1, A_2, \dots, A_n$ を供給し、このアドレス信号の組合せで多数のワード線中の任意の1つを選択する。

トランジスタ28, 29のゲートに入力すると、トランジスタ28が導通状態となり、ゲート制御線32が高レベルに充電され、次いでアドレス信号 $A_0, A_1, \dots$ が入力され、選択されるとトランジスタ29, 30は不導通状態で、ゲート制御線32は高レベルを維持する。逆に、非選択時はトランジスタ29, 30が導通状態となり、非選択ワード線のゲート制御線32は低レベルとなる。この電位によりトランジスタ26が導通状態となり、ワード線22は高レベルとなる。このような集積回路において、ワード線22に不良ビットが有ると、それが選択された場合エラーを起すので選択を禁止しなければならない。この場合、ゲート制御線32を低レベルにする。この低レベルにする例として、切断部33を形成することによりこの切断部33を切断すれば良い。この切断により、トランジスタ28の経路でゲート制御線32が高レベルに設定されなくなる。さらに、トランジスタ21により選択されたとき、ゲート制御線32がフ

また、ビット線選択用デコード3にも同様にアドレス信号を供給し、所望するメモリセルを選択する。この場合、たとえばあるワード線に不良箇所がある場合は当該ワード線は使用せず、代わりに冗長メモリセル5を使用するように接続すれば、素子として所望の特性の半導体メモリを得ることが出来る。

この具体的回路例は第2図の通りである。すなわち、ビット線21とワード線22に選択されるメモリセル23はトランジスタ24とキャパシタ25とで構成されている。このような構成のメモリセル23が各線21, 22の交点に配置される。上記ワード線22にはワード線駆動用トランジスタ26が接続され、このトランジスタ26のゲートを制御するようにトランジスタ27~30が接続される。トランジスタ29, 30は所望のアドレス信号 $A_0, A_1, \dots$ の入力により所望のワード線22を選択し、選択されたワード線のゲート制御線32は低レベルに設定される。そして、リセット信号をトラ

ローティングとなり、誤動作を避けるように動作する。すなわち、リセット信号のトランジスタ31への入力により導通し、プリチャージ時にゲート制御線32は接地電位となり、ワード線選択動作時に高レベルになることはない。

ところで、上述したような集積回路における上記切断部33は、従来、第3図に示すように構成されている。すなわち、半導体基板41の一方の内表面に配線として用いる高濃度な不純物領域42, 43を離隔して形成し、その表面に酸化膜44を形成した後、高濃度な不純物領域42, 43の各端部が露出するように選択エッチングする。しかる後、表面にフューズ45を形成する。このフューズ45は、多結晶シリコンまたは金属(アルミニウムまたはモリブデン)層などにより形成している。しかし、前述したような不良ビットが存在した場合、該当するフューズ45にパルスレーザ光46を照射して溶解することにより切断していた。このような冗長回路による半導体メモリの救済手段

は、ほぼ半導体装置が製造された状態で半導体装置の機能または性能をテストした後に行われるため、多結晶シリコンによってフューズを形成するより金属層でフューズを形成する方が、後の装置工程でフューズ上に形成される他の膜の厚みなどを容易に調整でき、さらに比較的簡単にレーザーで熔断しやすい構造に形成できる。また、フューズ熔断時の熱により他の周辺の素子へのダメージも上層に位置して形成できる金属層によるフューズの方が軽減できる。しかしながら、アルミニウム層やモリブデン層などの金属層によるフューズは、レーザー光の反射係数が非常に大きく、熔断が多結晶シリコン層によるフューズに比較して困難である欠点があった。

#### 〔発明の目的〕

本発明は上記事情に鑑みてなされたもので、その目的とするところは、熔断する金属層のレーザー反射係数を小さくし、低パワーのレーザー光などによる熔断工程でも容易に熔断できる半導

体装置の製造方法を提供することにある。

#### 〔発明の概要〕

本発明は、集積回路の配線を必要に応じて切断可能とするため、当該部分に少なくとも表面の一部が光吸収率の高い黒色となる金属層を形成することにより、この金属層を低パワーのレーザー光により容易に熔断できるようにしたものである。

#### 〔発明の実施例〕

以下、本発明の一実施例について図面を参照して説明する。まず、第4図(A)に示すように、一導電形半導体基板、たとえばp形シリコン基板51の一方の内表面に配線としての高濃度な不純物領域、たとえば $n^+$ 拡散領域52、53を離隔して形成し、この離隔部に切断可能領域を形成する。すなわち、表面に酸化膜たとえば $SiO_2$ 膜54を形成し、この $SiO_2$ 膜54を $n^+$ 拡散領域52、53と相対向する端部が露出するようにパターンニングした後、その表面に金属層たとえばアルミニウム層55を厚さ約0.8

μm電子ビーム蒸着により形成する。次に、第4図(B)に示すように、アルミニウム層55の少なくとも表面の一部が黒色となるように次のような製造工程を行う。すなわち、たとえばアルミニウム層55の表面にモリブデン層56を厚さ約1500Å電子ビーム蒸着により形成する。この工程における形成条件は、半導体基板51をたとえば200℃以上に加熱して行う。次に、このモリブデン層56の表面に対しエッチング処理、たとえばプラズマエッチング処理を行う。すなわち、 $CF_4$ ガス60cc/分、 $O_2$ 60cc/分、圧力0.05トルの雰囲気中で40秒間のプラズマエッチングを行う。このプラズマエッチング処理した金属層の表面は黒色となり、レーザー光の入射に対して反射率を著しく低下させることができる。この黒化のメカニズムは、モリブデン層56の蒸着時に基板51を加熱することにより、モリブデンが柱状結晶状に成長し、その後のエッチング工程で柱状の粒界にそってエッチングが進行するため、金属層の表面があらること

になることが判明している。次に、配線の一部となるようにパターンニングして第4図(B)のように切断可能領域を有する配線を形成する。次に、この切断可能領域上にパッシベーション膜を形成する。次に、第1図および第2図のように必要に応じて配線の切断工程を要する場合、第4図(C)に示すように、切断可能領域にレーザー光たとえば5μJのレベルのパルスレーザー光57を100μ秒間照射することにより、アルミニウム層55とモリブデン層56との積層構造を熔断することができる。

なお、前記実施例では、第1図および第2図のような冗長回路を設けて、一部不良個所の発生した集積回路救済手段に適用した場合について説明したが、集積回路の製造工程で切断工程を要する場合や製造後においても同様に適用できる。

また、前記実施例では、熔断の手段としてレーザー光を照射した例について説明したが、電子線、熱線の照射などいずれでもよい。また、前

記実施例では、金属層としてアルミニウム層上にモリブデン層を被着した例について説明したが、MOSI など他の金属層により形成してもよい。さらに、前記実施例では、金属層の黒化工程におけるエッチング工程をプラズマエッチングを用いた例について説明したが、プラズマエッチングに限らず、ケミカルドライエッチング(COE)でもイオンエッチングなど何れのエッチング手段でもよい。

以上説明したように本発明によれば、熔断する金属層の少なくとも表面の一部を光吸収率の高い黒色とするようにしたので、レーザー光の照射でも非常に光反射率が小さくなり、低パワーのレーザー光でも容易に熔断できる半導体装置の製造方法を提供できる。

#### 4. 図面の簡単な説明

第1図は周知の冗長回路を有する半導体メモリを説明するための回路構成図、第2図は第1図のワード線選択回路の不良ビットを救済するための具体的回路結線図、第3図は第2図に

かける切断部の従来の製造方法を説明するための造断面図、第4図(A)~(C)は本発明の一実施例を工程順に説明するための構造断面図である。

51…シリコン基板、52、53…配線、54… $\text{SiO}_2$ 膜、55…アルミニウム層、56…モリブデン層、57…レーザー光。

出願人代理人 弁理士 鈴 江 武 彦

